

**THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of : **Atsushi NISHIZAWA**

Filed : **Concurrently herewith**

For : **MANUFACTURING METHOD OF.....**

Serial No. : **Concurrently herewith**

December 29, 2000

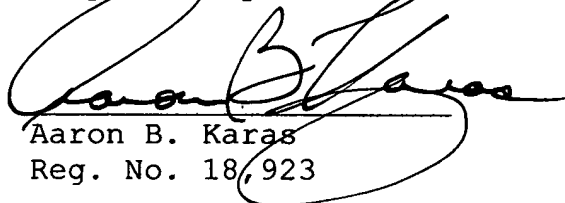
Assistant Commissioner of Patents  
Washington, D.C. 20231

**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Attached herewith are Japanese patent application No.  
2000-009221 of January 18, 2000 whose priority has been claimed  
in the present application.

Respectfully submitted

  
Aaron B. Karas  
Reg. No. 18,923

HELFGOTT & KARAS, P.C.  
60th FLOOR  
EMPIRE STATE BUILDING  
NEW YORK, NY 10118  
DOCKET NO.:NECW 18.159  
BWU:priority

Filed Via Express Mail

Rec. No.: EL522398305US

On: December 29, 2000

By: Brendy Lynn Belony

Any fee due as a result of this paper,  
not covered by an enclosed check may be  
charged on Deposit Acct. No. 08-1634.

326  
d  
若林  
CS

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 1月18日

出 願 番 号  
Application Number: 特願2000-009221

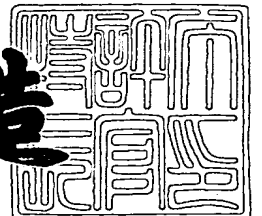
出 願 人  
Applicant (s): 日本電気株式会社

JC962 U.S. PTO  
09/751979  
12/29/00

2000年10月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3082499

【書類名】 特許願

【整理番号】 74112097

【提出日】 平成12年 1月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 西沢 厚

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

    【電話番号】 03-3585-1882

【選任した代理人】

    【識別番号】 100106297

    【弁理士】

    【氏名又は名称】 伊藤 克博

【選任した代理人】

    【識別番号】 100106138

    【弁理士】

    【氏名又は名称】 石橋 政幸

【手数料の表示】

    【予納台帳番号】 089681

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

特 2 0 0 0 - 0 0 9 2 2 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の製造方法、半導体集積回路

【特許請求の範囲】

【請求項 1】 凹部に金属配線が埋め込まれた下部層間膜の表面にストッパ膜を介して上部層間膜を積層し、この上部層間膜の表面から前記ストッパ膜の表面で前記金属配線に対向する位置までヴァイアホールを形成し、このヴァイアホールと前記上部層間膜の表面とに有機膜を埋め込み、この有機膜の表面に前記ヴァイアホールに開口が連通したレジストマスクを形成し、このレジストマスクの開口からエッチングガスと不活性ガスとの雰囲気中で前記上部層間膜の表面に位置する前記有機膜をプラズマエッチングし、このプラズマエッチングにより露出した前記上部層間膜と前記ヴァイアホール内の前記有機膜とを前記ストッパ膜まで到達しない所定深度までエッチングガスと不活性ガスとの雰囲気中で同時にプラズマエッチングし、このプラズマエッチングされた前記凹溝の底部に位置するヴァイアホールに残存している前記有機膜を除去し、この有機膜を除去した前記ヴァイアホールの底部に位置する前記ストッパ膜をエッチングして前記金属配線を露出させるようにした半導体集積回路の製造方法であって、

前記レジストマスクの開口から前記有機膜と前記上部層間膜とを同時にプラズマエッチングするとき、

前記エッチングガスによる前記有機膜のエッチングレートが前記上部層間膜のエッチングレートより高いことを特徴とする製造方法。

【請求項 2】 凹部に金属配線が埋め込まれた下部層間膜の表面にストッパ膜を介して上部層間膜を積層し、この上部層間膜の表面から前記ストッパ膜の表面で前記金属配線に対向する位置までヴァイアホールを形成し、このヴァイアホールと前記上部層間膜の表面とに有機膜を埋め込み、この有機膜の表面に前記ヴァイアホールに開口が連通したレジストマスクを形成し、このレジストマスクの開口からエッチングガスと不活性ガスとの雰囲気中で前記上部層間膜の表面に位置する前記有機膜をプラズマエッチングし、このプラズマエッチングにより露出した前記上部層間膜と前記ヴァイアホール内の前記有機膜とを前記ストッパ膜まで到達しない所定深度までエッチングガスと不活性ガスとの雰囲気中で同時にブ

ラズマエッチングし、このプラズマエッチングされた前記凹溝の底部に位置するヴァイアホールに残存している前記有機膜を除去し、この有機膜を除去した前記ヴァイアホールの底部に位置する前記ストッパ膜をエッチングして前記金属配線を露出させるようにした半導体集積回路の製造方法であって、

前記エッチングガスがデポジションを略発生しない分子構造からなることを特徴とする製造方法。

【請求項 3】 前記エッチングガスは、弗素の原子数が炭素の原子数の三倍以上の分子構造からなる請求項 1 または 2 に記載の製造方法。

【請求項 4】 前記エッチングガスが“ $\text{CF}_4$ ”からなる請求項 3 に記載の製造方法。

【請求項 5】 前記エッチングガスが“ $\text{C}_2\text{F}_6$ ”からなる請求項 3 に記載の製造方法。

【請求項 6】 前記エッチングガスの圧力が“100(mToll)”以上である請求項 1 ないし 5 の何れか一項に記載の製造方法。

【請求項 7】 金属配線が埋め込まれている層間膜の表面から所定深度まで凹溝が形成されており、この凹溝の底部にヴァイアホールが形成されており、このヴァイアホールの底部に前記金属配線が露出している半導体集積回路であって、

請求項 1 ないし 6 の何れか一項に記載の製造方法により製造されている半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、金属配線まで到達するヴァイアホールと凹溝とを層間膜に同時に形成する半導体集積回路の製造方法と、この製造方法により製造された半導体集積回路と、に関する。

##### 【0002】

#### 【従来の技術】

現在、半導体集積回路の高性能化や微細化が要求されており、各種の製造方法

や使用材料が研究されている。従来、半導体集積回路の配線にはポリシリコンやアルミニウムが多用されてきたが、半導体集積回路の高性能化や微細化を実現するためには更に低抵抗の材料が必要である。

#### 【 0 0 0 3 】

そこで、半導体集積回路の微細な配線を銅で形成することが創案されたが、銅は物性的にエッチングによるパターニングが困難であり、耐食性も良好でない。そこで、層間膜の内部と表面とに銅からなる金属配線を形成し、これらの金属配線を銅からなるコンタクトで接続した半導体集積回路を製造する製造方法としてデュアルダマシン法が開発された。

#### 【 0 0 0 4 】

このデュアルダマシン法の製造方法の一従来例を図 2 ないし図 5 を参照して以下に説明する。なお、図 2 ないし図 5 は半導体集積回路の製造工程を順番に示す縦断正面図である。

#### 【 0 0 0 5 】

まず、ここで製造する半導体集積回路 1 0 0 では、図 5 (c) に示すように、 $\text{SiO}_2$  からなる下部層間膜 1 0 1 と上部層間膜 1 0 2 とが積層されており、下部層間膜 1 0 1 の上部に銅からなる下部金属配線 1 0 3 が埋め込まれている。上部層間膜 1 0 2 の上部にも銅からなる上部金属配線 1 0 4 が埋め込まれており、この上部金属配線 1 0 4 と一体に形成された接続配線 1 0 5 が下部金属配線 1 0 3 に接続されている。

#### 【 0 0 0 6 】

なお、下部／上部金属配線 1 0 3, 1 0 4 は、例えば、図面を貫通する前後方向に連通するパターンに形成されているが、接続配線 1 0 5 は、例えば、前後幅が左右幅と同一の形状に形成されており、この前後方向に連通しない接続配線 1 0 5 により前後方向に連通する下部／上部金属配線 1 0 3, 1 0 4 が一点で接続されている。

#### 【 0 0 0 7 】

上述のような構造の半導体集積回路 1 0 0 を製造する一般的な製造方法としては、図 2 (a) に示すように、シリコン基板 1 1 0 の表面に  $\text{SiO}_2$  からなる所定膜

厚の下部層間膜 1 0 1 を形成し、その表面にフォトリソを塗布してからパターンニングしてレジストマスク(図示せず)を形成する。このレジストマスクの開口孔から下部層間膜 1 0 1 をドライエッチングすることにより、同図(b)に示すように、この下部層間膜 1 0 1 の表面に所定深度まで凹部 1 1 1 を形成する。

## 【 0 0 0 8 】

この凹部 1 1 1 が完成したら、 $O_2$ 雰囲気中でのプラズマ処理と有機剥離によりレジストマスクを除去し、同図(c)に示すように、これで露出した下部層間膜 1 0 1 の表面に、タンタル膜 1 1 2 と銅膜 1 1 3 とをスパッタリングで順番に成膜する。

## 【 0 0 0 9 】

つぎに、同図(d)に示すように、この銅膜 1 1 3 の表面に銅からなるメッキ膜 1 1 4 を形成して凹部 1 1 1 を充填してから、同図(e)に示すように、このメッキ膜 1 1 4 をCMP (Chemical Mechanical Polishing)により下部層間膜 1 0 1 の表面まで平坦に研磨する。

## 【 0 0 1 0 】

つぎに、図 3 (a)に示すように、この平坦に研磨された表面にプラズマCVD (Chemical Vapor Deposition)法によりSiNからなるストッパ膜 1 1 5 を値例えば、膜厚500(Å)まで成長させてから、やはりプラズマCVD法により $SiO_2$ からなる上部層間膜 1 0 2 を、例えば、膜厚12000(Å)まで成長させる。

## 【 0 0 1 1 】

つぎに、下部金属配線 1 0 3 の上方が開口したレジストマスク 1 1 6 を上部層間膜 1 0 2 の表面に形成し、このレジストマスク 1 1 6 の開口部から上部層間膜 1 0 2 をエッチングすることにより、同図(b)に示すように、上部層間膜 1 0 2 の表面からストッパ膜 1 1 5 の表面で下部金属配線 1 0 3 に対向する位置までヴァイアホール 1 1 7 を形成する。

## 【 0 0 1 2 】

このヴァイアホール 1 1 7 が形成できたらレジストマスク 1 1 6 を除去し、同図(c)に示すように、有機膜としてARC (Anti Reflective Coating)膜 1 1 8 を上部層間膜 1 0 2 の表面に膜厚2000(Å)まで成膜するとともにヴァイアホール



1 1 7 の内部に充填する。

【 0 0 1 3 】

この ARC 膜 1 1 8 の表面にヴァイアホール 1 1 7 より幅広に開口したレジストマスク 1 1 9 を、例えば、膜厚 8000 (Å) に形成し、同図 (d) に示すように、“ $C_4F_8$ ” と “ $O_2$ ” とを混合したエッチングガスと “Ar” の不活性ガスとの “30 (mToll)” 程度の圧力の雰囲気中で、レジストマスク 1 1 9 の開口から ARC 膜 1 1 8 をプラズマエッチングする。なお、“ $C_4F_8$ ” と “ $O_2$ ” と “Ar” との混合比は、例えば、“20/10/200” などとされる。

【 0 0 1 4 】

この ARC 膜 1 1 8 のプラズマエッチングが完了したらエッチングガスを “ $C_4F_8$ ” に変更し、図 4 (a) に示すように、レジストマスク 1 1 9 の開口から上部層間膜 1 0 2 と ARC 膜 1 1 8 とを同時にプラズマエッチングし、ストッパ膜 1 1 5 まで到達しない深度 4000 (Å) の幅広の凹溝 1 2 0 を形成する。

【 0 0 1 5 】

このとき、“ $C_4F_8$ ” のエッチングガスによる上部層間膜 1 0 2 と ARC 膜 1 1 8 とのプラズマエッチングのエッチングレートは約 “4000 (Å) / min” なので、エッチング時間を一分に規制することにより凹溝 1 2 0 の深度を 4000 (Å) に調節する。

【 0 0 1 6 】

つぎに、“ $O_2$ ” でのプラズマ処理とアミン系の有機剥離液による剥離処理により、同図 (b) に示すように、レジストマスク 1 1 9 と ARC 膜 1 1 8 とを除去することにより、ヴァイアホール 1 1 7 の底部にストッパ膜 1 1 5 を露出させる。なお、銅からなる下部金属配線 1 0 3 は耐食性が低い、上述のようにレジストマスク 1 1 9 と ARC 膜 1 1 8 とを除去する時点ではストッパ膜 1 1 5 で雰囲気から遮断されているので腐食することはない。

【 0 0 1 7 】

同図 (c) に示すように、“ $CHF_3$ ” と “ $O_2$ ” とを混合したエッチングガスと “Ar” の不活性ガスとの雰囲気中で上部層間膜 1 0 2 をマスクとしてヴァイアホール 1 1 7 の底部に位置するストッパ膜 1 1 5 をプラズマエッチングし、ヴァ

イアホール 1 1 7 の底部に下部金属配線 1 0 3 を露出させる。なお、“ $\text{CHF}_3$ ”と“ $\text{O}_2$ ”と“Ar”との混合比も、例えば、“20/10/200”などとされる。

#### 【0 0 1 8】

この状態で上部層間膜 1 0 2 と下部金属配線 1 0 3 との露出している表面をアミン系の有機剥離液により清浄化してから、図 5 (a) に示すように、この清浄化された表面に窒化タンタル膜 1 2 1 と銅膜 1 2 2 とをスパッタリングにより順番に成膜する。

#### 【0 0 1 9】

これで上部層間膜 1 0 2 の表面から凹溝 1 2 0 とヴァイアホール 1 1 7 との内面まで窒化タンタル膜 1 2 1 と銅膜 1 2 2 とが成膜されるので、同図 (b) に示すように、この銅膜 1 2 2 の表面に銅からなるメッキ膜 1 2 3 を形成して凹溝 1 2 0 とヴァイアホール 1 1 7 とを充填する。

#### 【0 0 2 0】

そして、このメッキ膜 1 2 3 を CMP により上部層間膜 1 0 2 の表面まで平坦に研磨することにより、同図 (c) に示すように、凹溝 1 2 0 の内部に位置する上部金属配線 1 0 4 とヴァイアホール 1 1 7 の内部に位置する接続配線 1 0 5 とが形成されるので、これで半導体集積回路 1 0 0 が完成することになる。

#### 【0 0 2 1】

なお、上述のように幅狭のヴァイアホール 1 1 7 と幅広の凹溝 1 2 0 とを同時に形成する手法は、一般的にデュアルダマシン法と呼称されている。また、上述の層間膜 1 0 1, 1 0 2 としては、 $\text{SiO}_2$  の他に低誘電率膜も利用することができ、この低誘電率膜としては、水素含有シリコン酸化膜や有機含有シリコン酸化膜などを利用することができる。

#### 【0 0 2 2】

また、ARC 膜 1 1 8 としては、ポリイミドやノボラックからなるベース樹脂にポリビニルフェノールやポリメチルメタクリレートを添加したものなどを利用することができ、レジストとしては、ノボラック樹脂やポリイミド樹脂がなどを利用することができる。

#### 【0 0 2 3】

## 【発明が解決しようとする課題】

上述のような方法で半導体集積回路 1 0 0 を製造することにより、幅狭のヴァイアホール 1 1 7 上に幅広の凹溝 1 2 0 を形成できるので、下部層間膜 1 0 1 に埋め込まれた銅からなる下部金属配線 1 0 3 と上部層間膜 1 0 2 に埋め込まれた銅からなる上部金属配線 1 0 4 とがヴァイアホール 1 1 7 内の接続配線 1 0 5 で接続された構造を形成することができる。

## 【0 0 2 4】

しかし、図 4 (a) に示すように、“ $C_4F_8$ ” のエッチングガスで上部層間膜 1 0 2 と ARC 膜 1 1 8 とを同時にプラズマエッチングするとき、実際には ARC 膜 1 1 8 のエッチングレートが上部層間膜 1 0 2 より低いため、プラズマエッチングは上部層間膜 1 0 2 から ARC 膜 1 1 8 が突出した状態で進行することになる。

## 【0 0 2 5】

また、“ $C_4F_8$ ” のエッチングガスは、プラズマ中で分解されたものや反応生成物からフロロカーボン系のデポジションを発生しやすいので、上部層間膜 1 0 2 から ARC 膜 1 1 8 が突出した状態でプラズマエッチングが進行すると、図 6 に示すように、上部層間膜 1 0 2 から突出した ARC 膜 1 1 8 の側面にデポジション 1 2 4 が滞積しやすい。

## 【0 0 2 6】

このようにデポジション 1 2 4 が滞積すると、これがマスクとなって下方のプラズマエッチングが阻害される。このため、上部層間膜 1 0 2 と ARC 膜 1 1 8 との同時エッチングが完了してから、ヴァイアホール 1 1 7 の内部の ARC 膜 1 1 8 を除去すると、図 7 に示すように、ヴァイアホール 1 1 7 の開口の周囲にデポジション 1 2 4 が残存した不良が発生する。

## 【0 0 2 7】

このようにヴァイアホール 1 1 7 の開口の周囲にデポジション 1 2 4 が残存すると、上部金属配線 1 0 4 を良好な形状に形成できないので断線などの不良の原因となる。

## 【0 0 2 8】

本発明は上述のような課題に鑑みてなされたものであり、ヴァイアホール上に凹溝を形成するためにデュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッチングしても、ヴァイアホールの開口の周囲にデポジションが残存しない半導体集積回路の製造方法を提供することを目的とする。

## 【 0 0 2 9 】

## 【課題を解決するための手段】

本発明の他の半導体集積回路の製造方法では、レジストマスクの開口から有機膜と上部層間膜とを同時にプラズマエッチングするとき、エッチングガスによる有機膜のエッチングレートが上部層間膜のエッチングレートより高い。従って、上部層間膜から有機膜が突出した状態でプラズマエッチングが進行することがないので、デポジションが発生して有機膜の側面に滞積することがない。

## 【 0 0 3 0 】

なお、上述のようなエッチングレートの関係では有機膜の部分が上部層間膜に凹部となる状態でプラズマエッチングが進行するが、上部層間膜の側面には物性的にデポジションは滞積しにくい。

## 【 0 0 3 1 】

本発明の他の半導体集積回路の製造方法では、エッチングガスがデポジションを略発生しない分子構造からなる。従って、デュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッチングするときに段差などの部分にデポジションが滞積することがない。

## 【 0 0 3 2 】

本発明の他の形態としては、エッチングガスは、弗素の原子数が炭素の原子数の三倍以上の分子構造からなることも可能である。この場合、エッチングガスの分子構造に弗素が多数なので、物性的に有機膜のエッチングレートが上部層間膜のエッチングレートより高くなり、エッチングガスの分子構造に炭素が少数なので、デポジションが略発生しない。なお、このようなエッチングガスは、例えば、“ $\text{CF}_4$ ” や “ $\text{C}_2\text{F}_6$ ” からなることが可能である。

## 【 0 0 3 3 】

本発明の他の形態としては、エッチングガスの圧力が “100(mToll)” 以上であ

ることも可能であり、“300～400(mToll)”であることも可能である。この場合、エッチングガスの圧力が高圧であるとイオン同士が衝突する確率が増加するため、各種の方向のイオンが発生してプラズマエッチングの方向性が等方的となり、微少に滞積するデポジションが逐次除去される。

#### 【 0 0 3 4 】

##### 【発明の実施の形態】

本発明の実施の一形態を図 1 を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。なお、同図は本実施の形態の半導体集積回路の製造方法の要部の工程を示す縦断正面図である。

#### 【 0 0 3 5 】

本実施の形態の半導体集積回路 1 0 0 も、完成した構造は一従来例の場合と同一である。この半導体集積回路 1 0 0 を製造する本実施の形態の方法でも、一従来例の製造方法と同様に、下部金属配線 1 0 3 が埋め込まれた下部層間膜 1 0 1 の表面にストッパ膜 1 1 5 を介して上部層間膜 1 0 2 を積層し、この上部層間膜 1 0 2 の表面からストッパ膜 1 1 5 の表面で下部金属配線 1 0 3 に対向する位置までヴァイアホール 1 1 7 を形成する。

#### 【 0 0 3 6 】

このヴァイアホール 1 1 7 と上部層間膜 1 0 2 の表面とに ARC 膜 1 1 8 を埋め込み、この ARC 膜 1 1 8 の表面にヴァイアホール 1 1 7 より幅広に開口したレジストマスク 1 1 9 を形成し、同図(a)に示すように、このレジストマスク 1 1 9 の開口から ARC 膜 1 1 8 をプラズマエッチングする。

#### 【 0 0 3 7 】

この ARC 膜 1 1 8 のプラズマエッチングが完了したらエッチングガスを変更し、同図(b)に示すように、レジストマスク 1 1 9 の開口からストッパ膜 1 1 5 まで到達しない所定深度まで上部層間膜 1 0 2 と ARC 膜 1 1 8 とを同時にプラズマエッチングして幅広の凹溝 1 2 0 を形成する。

#### 【 0 0 3 8 】

このプラズマエッチングされた幅広の凹溝 1 2 0 の底部に位置する幅狭のヴァ

イアホール 1 1 7 に残存している A R C 膜 1 1 8 を除去し、同図(c)に示すように、この A R C 膜 1 1 8 を除去したヴァイアホール 1 1 7 の底部に位置するストッパ膜 1 1 5 をエッチングして下部金属配線 1 0 3 を露出させる。

## 【 0 0 3 9 】

ただし、本実施の形態の製造方法では、一従来例の製造方法とは相違して、上述のようにデュアルダマシン法により上部層間膜 1 0 2 と A R C 膜 1 1 8 とを同時にプラズマエッチングするとき、エッチングガスとして“ $\text{CF}_4$ ”を使用する。

## 【 0 0 4 0 】

より詳細には、同図(a)に示すように、“ $\text{CF}_4$ ”と“ $\text{O}_2$ ”とを混合したエッチングガスと“Ar”の不活性ガスとの圧力“300~400(mToll)”の雰囲気中で、レジストマスク 1 1 9 の開口から A R C 膜 1 1 8 をプラズマエッチングし、このプラズマエッチングが完了したらエッチングガスを“ $\text{CF}_4$ ”に変更し、同図(b)に示すように、レジストマスク 1 1 9 の開口から上部層間膜 1 0 2 と A R C 膜 1 1 8 とを同時にプラズマエッチングする。

## 【 0 0 4 1 】

なお、A R C 膜 1 1 8 をプラズマエッチングするときの“ $\text{CF}_4$ ”と“ $\text{O}_2$ ”と“Ar”との混合比は、例えば、“100/10/500”などとされ、上部層間膜 1 0 2 と A R C 膜 1 1 8 とを同時にプラズマエッチングするときの“ $\text{CF}_4$ ”と“Ar”との混合比は、例えば、“100/500”などとされる。

## 【 0 0 4 2 】

本実施の形態の製造方法では、上述のようにデュアルダマシン法によりレジストマスク 1 1 9 の開口から A R C 膜 1 1 8 と上部層間膜 1 0 2 とを同時にプラズマエッチングするとき、従来とは相違してエッチングガスとして“ $\text{CF}_4$ ”を使用する。

## 【 0 0 4 3 】

この“ $\text{CF}_4$ ”のエッチングガスによるプラズマエッチングでは、物性的に A R C 膜 1 1 8 のエッチングレートが上部層間膜 1 0 2 のエッチングレートより高いので、同図(b)に示すように、上部層間膜 1 0 2 から A R C 膜 1 1 8 が突出し

た状態でプラズマエッチングが進行することがなく、物性的にデポジションが滞積しやすいARC膜118の側面が形成されない。

## 【0044】

しかも、“ $\text{CF}_4$ ”からなるエッチングガスは、分子構造の弗素の原子数が炭素の原子数の三倍以上であり、炭素が少数で弗素が多数なので、物性的にフロロカーボン系のデポジションを発生しにくい。さらに、本実施の形態の製造方法では、エッチングガスの圧力を“300～400(mToll)”もの高圧とするので分子のブラウン運動が活発となってプラズマエッチングの方向性が等方的となり、上方に順次滞積されるデポジションが各種方向から逐次除去されることになる。

## 【0045】

このため、本実施の形態の製造方法では、デュアルダマシン法によりレジストマスク119の開口からARC膜118と上部層間膜102とを同時にプラズマエッチングするとき、同図(c)に示すように、ヴァイアホール117の開口の周囲にフロロカーボン系のデポジションが滞積する不良が発生しない。

## 【0046】

なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではエッチングガスが“ $\text{CF}_4$ ”からなることを例示したが、このエッチングガスが“ $\text{C}_2\text{F}_6$ ”からなることも可能である。また、エッチングガスの圧力が“300～400(mToll)”であることを例示したが、これは“100(mToll)”以上であれば良い。

## 【0047】

また、上記形態では幅広の凹溝120の底部に幅狭のヴァイアホール117が位置する構造で、このヴァイアホール117の開口の周囲に発生するデポジションを防止することを例示したが、前述のように凹溝120は前後方向に連通する形状であり、ヴァイアホール117は前後方向には連通しない形状である。

## 【0048】

このため、凹溝120とヴァイアホール117とが同幅の場合や凹溝120よりヴァイアホール117が幅広の場合でも、ヴァイアホール117の開口の前後にはデポジションが発生する段差が存在するので、本発明を適用することが可能

である。

【 0 0 4 9 】

【発明の効果】

本発明の一の半導体集積回路の製造方法では、レジストマスクの開口から有機膜と上部層間膜とを同時にプラズマエッチングするとき、エッチングガスによる有機膜のエッチングレートが上部層間膜のエッチングレートより高いことにより

上部層間膜から有機膜が突出した状態でプラズマエッチングが進行することがないので、デポジションが発生して有機膜の側面に滞積することがなく、ヴァイアホール開口の周囲にデポジションが残存する不良の発生を防止することができる。

【 0 0 5 0 】

本発明の他の半導体集積回路の製造方法では、エッチングガスがデポジションを略発生しない分子構造からなることにより、

デュアルダマシン法により上部層間膜と有機膜とを同時にプラズマエッチングするときに段差などの部分にデポジションが滞積することがないので、ヴァイアホール開口の周囲にデポジションが残存する不良の発生を防止することができる。

【 0 0 5 1 】

また、本発明の他の形態としては、エッチングガスは、弗素の原子数が炭素の原子数の三倍以上の分子構造からなることにより、

エッチングガスの分子構造に弗素が多数なので、物性的に有機膜のエッチングレートを上部層間膜のエッチングレートより高くすることができ、エッチングガスの分子構造に炭素が少数なので、デポジションの発生を防止することができる。

【 0 0 5 2 】

また、エッチングガスの圧力が高圧であることにより、

プラズマエッチングの方向性を等方的とすることができるので、微少に滞積するデポジションが逐次除去されることとなり、デポジションの滞積を防止するこ



とができる。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態の半導体集積回路の製造方法の要部の工程を示す縦断正面図である。

【図 2】

一従来例の製造方法の第一から第五の工程を示す縦断正面図である。

【図 3】

第六から第九の工程を示す縦断正面図である。

【図 4】

第十から第十一の工程を示す縦断正面図である。

【図 5】

第十二から第十四の工程を示す縦断正面図である。

【図 6】

デポジションが発生した状態を示す縦断正面図である。

【図 7】

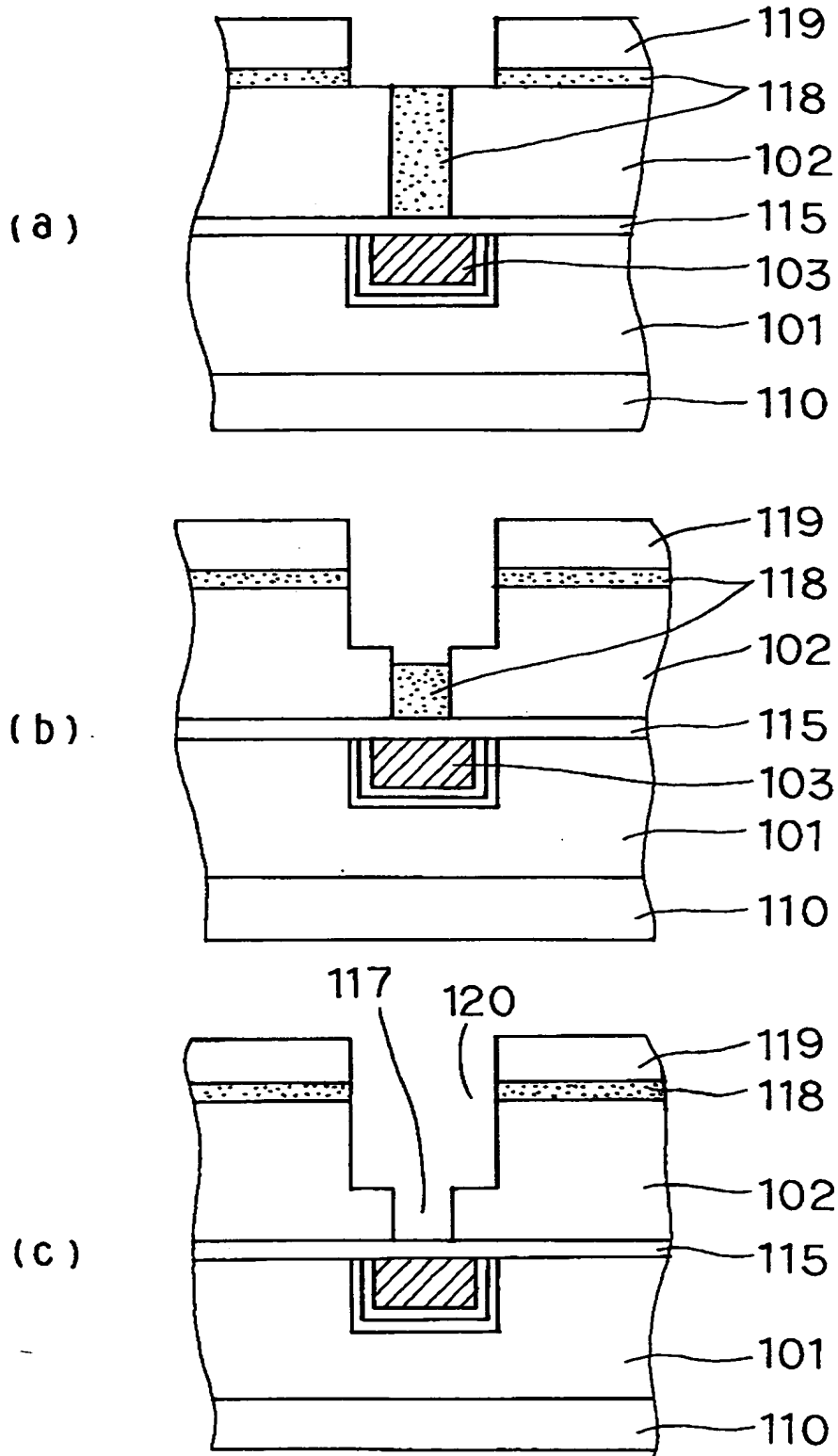
デポジションが残存した状態を示す縦断正面図である。

【符号の説明】

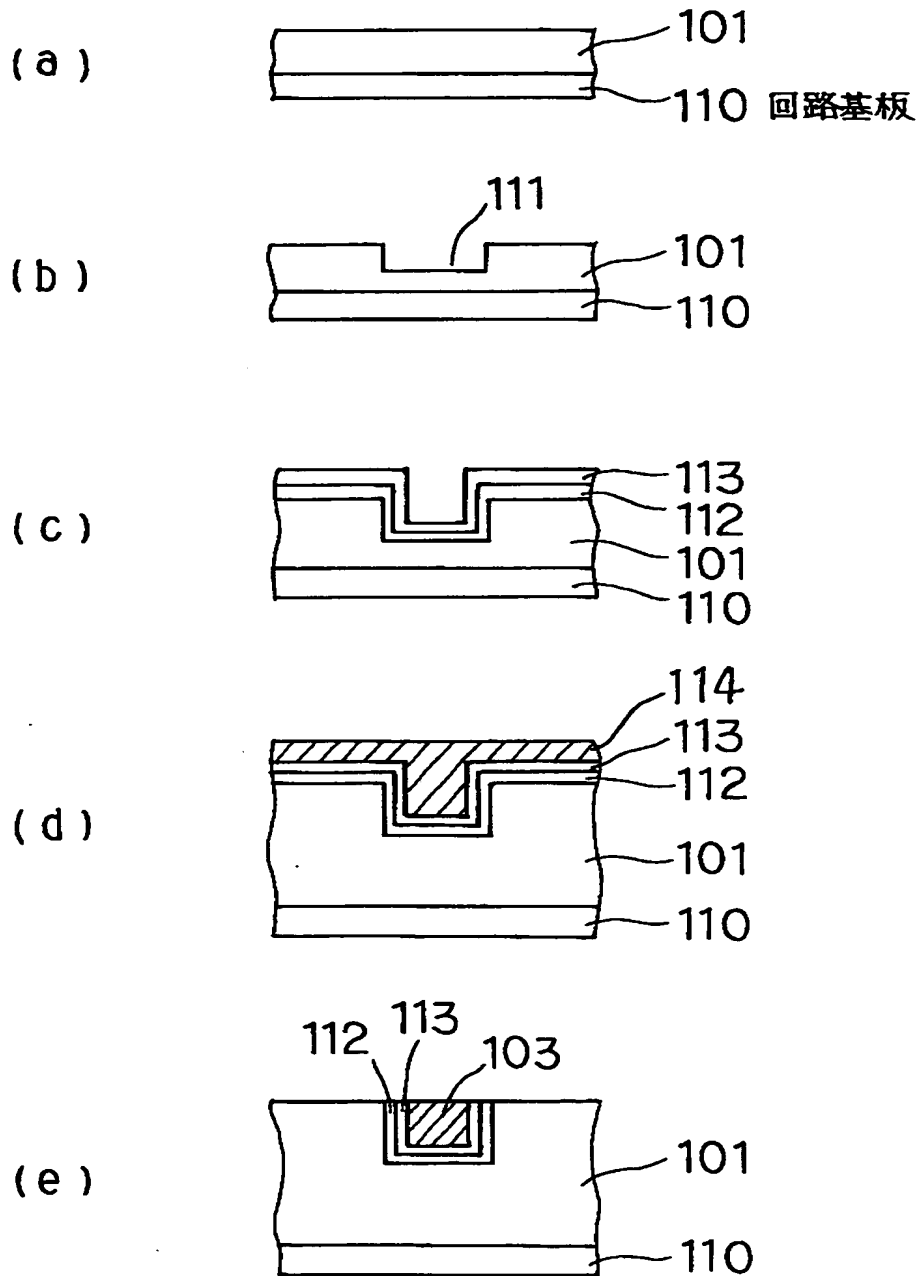
1 0 0	半導体集積回路
1 1 1	凹部
1 0 3	下部金属配線
1 0 1	下部層間膜
1 1 5	ストッパ膜
1 0 2	上部層間膜
1 1 7	ヴァイアホール
1 1 8	有機膜である A R C 膜
1 1 9	レジストマスク
1 2 0	凹溝

【書類名】 図面

【図1】

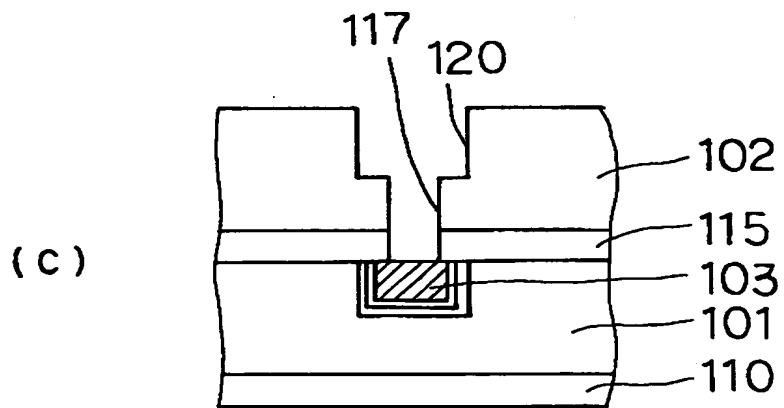
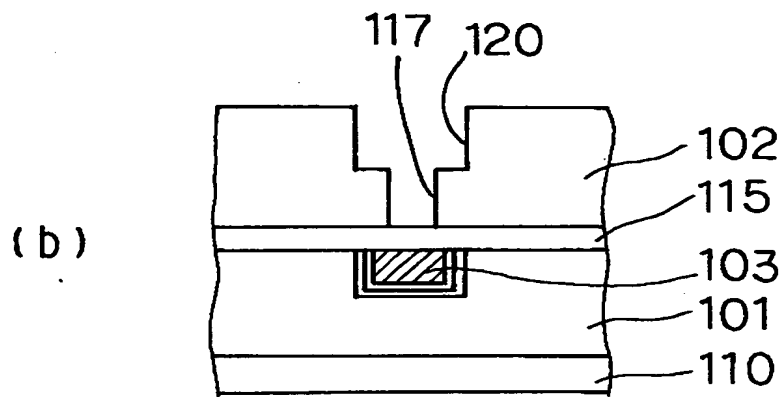
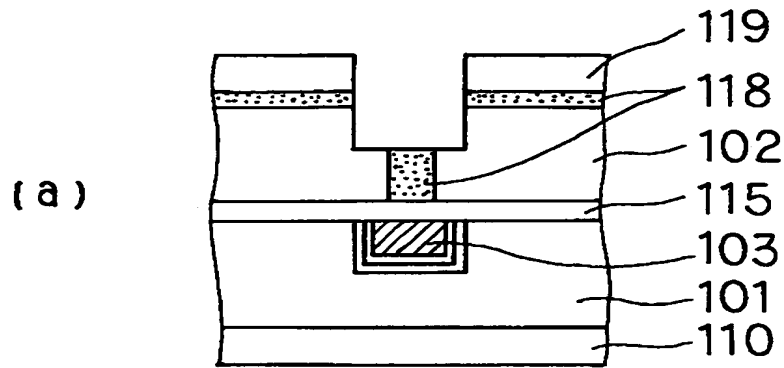


【図 2】

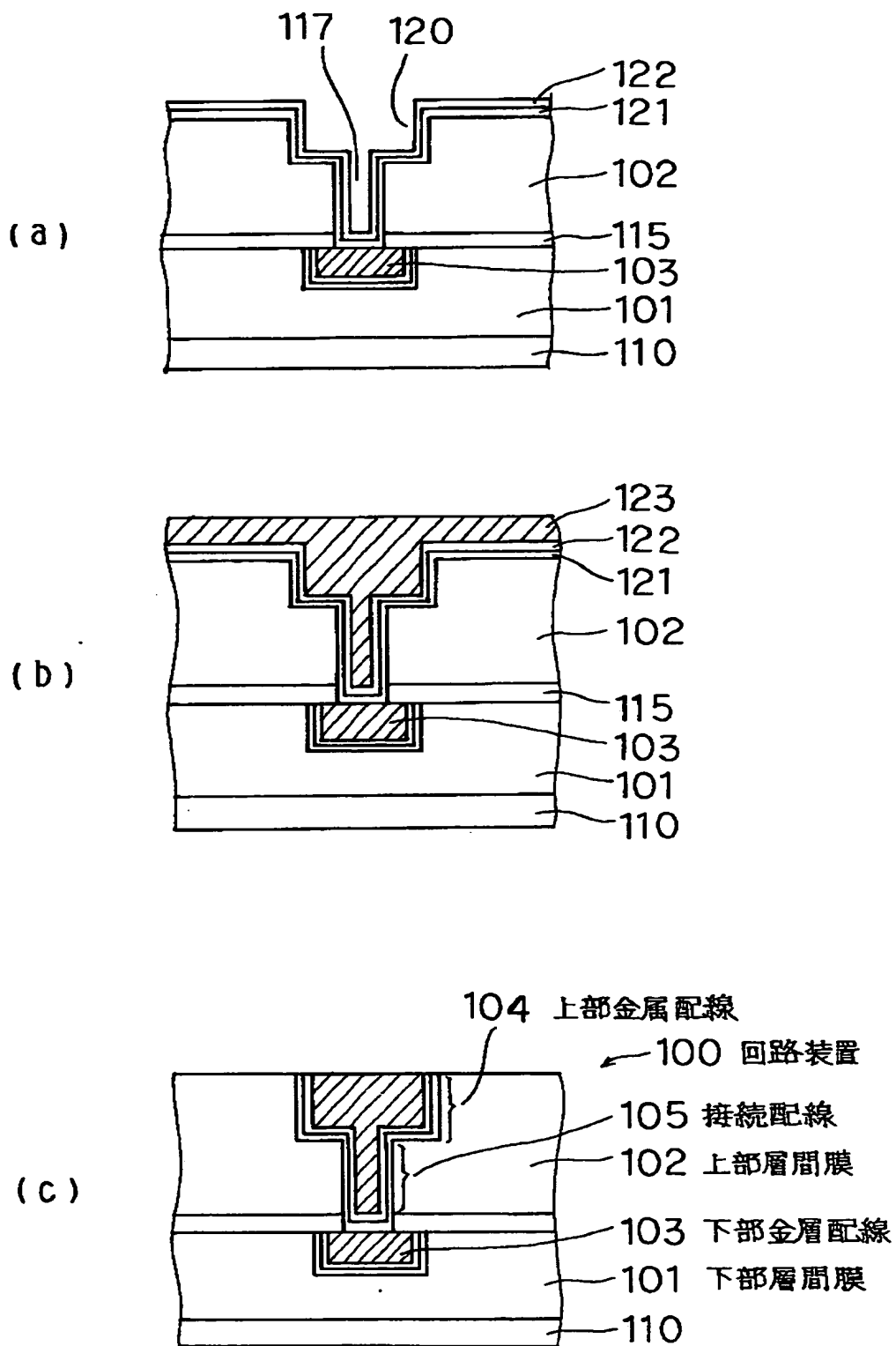




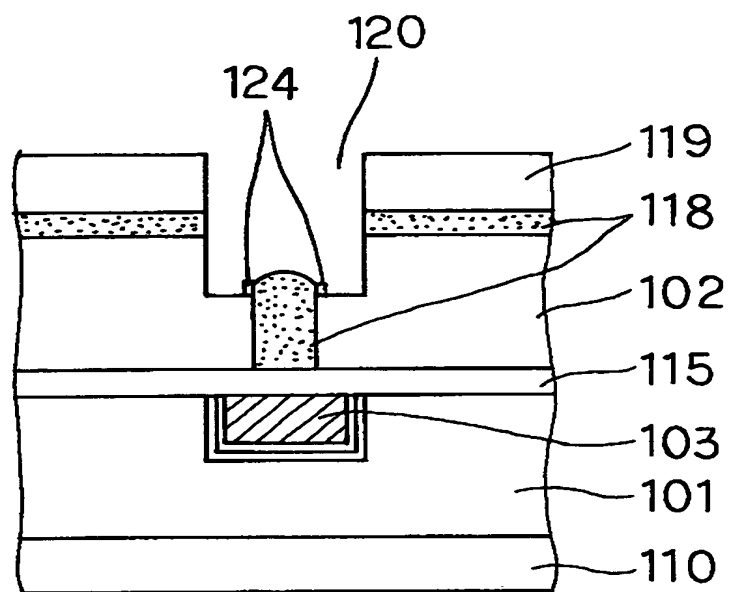
【図4】



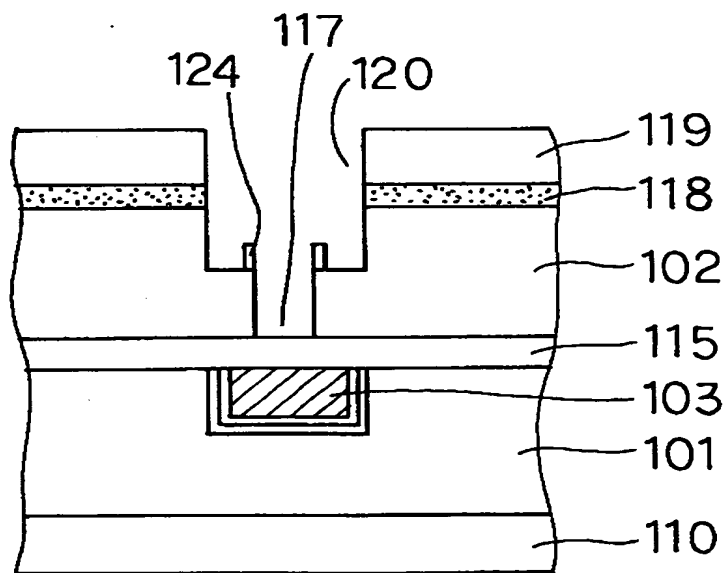
【図 5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 ヴァイアホール上に凹溝を形成するためにデュアルダマシン法により上部層間膜と有機膜を同時にプラズマエッチングしても、ヴァイアホールの開口の周囲にデポジションが残存しないようにする。

【解決手段】 エッチングガスによる有機膜 1 1 8 のエッチングレートを上部層間膜 1 0 2 のエッチングレートより高くし、上部層間膜 1 0 2 から有機膜 1 1 8 が突出した状態でプラズマエッチングが進行しないようにし、有機膜 1 1 8 の側面にデポジションが滞積しないようにする。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社